

Circuits Logiques Combinatoires Fondamentaux

Cours Systèmes logiques

1^{ère} Année SupNum

Dr. MOHAMED SASS MOHAMDY

Année universitaire 2024/2025

Plan du Cours

I - Circuits Encodeurs

II - Encodeur de priorité

III - Circuits Décodeurs

IV - Transcodeur BCD / 7segments

V - Circuits Multiplexeurs

VI - Circuits Démultiplexeurs

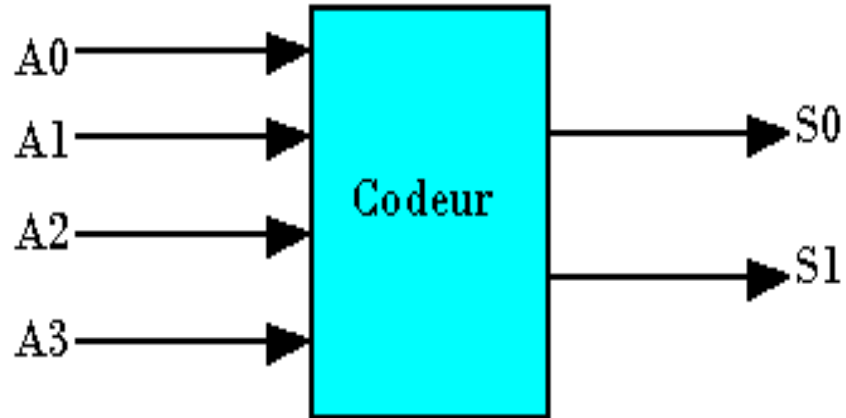
I - Circuits Encodeurs

Un encodeur :

- Active un code selon l'activation de l'une des X entrées.
- Sortie sur (n) bits.
- 2ⁿ entrées, Une seule entrée est activée (mise à 1), les autres sont mise à 0.

Pour un encodeur, lorsqu'une entrée (sur les X entrées) est activée, les sorties affichent le numéro de l'entrée active dans le code binaire choisi (sur n bits).

- Exemple : Encodeur 4 entrées vers 2 sorties :



4 entrées dont une
seule est activée à la
fois
 $M \leq 2^n$

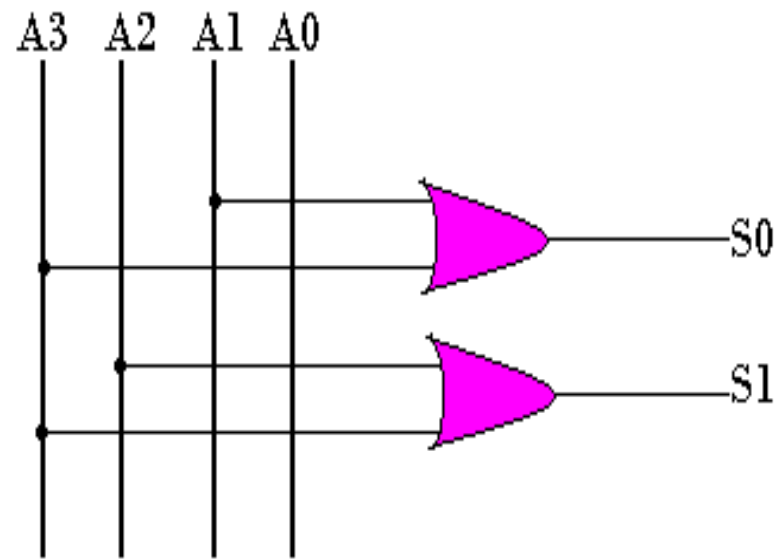
Représentation binaire de
l'entrée activée (n bits)

La table de vérité d'un encodeur 4 vers 2 :

A_3	A_2	A_1	A_0	S_1	S_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

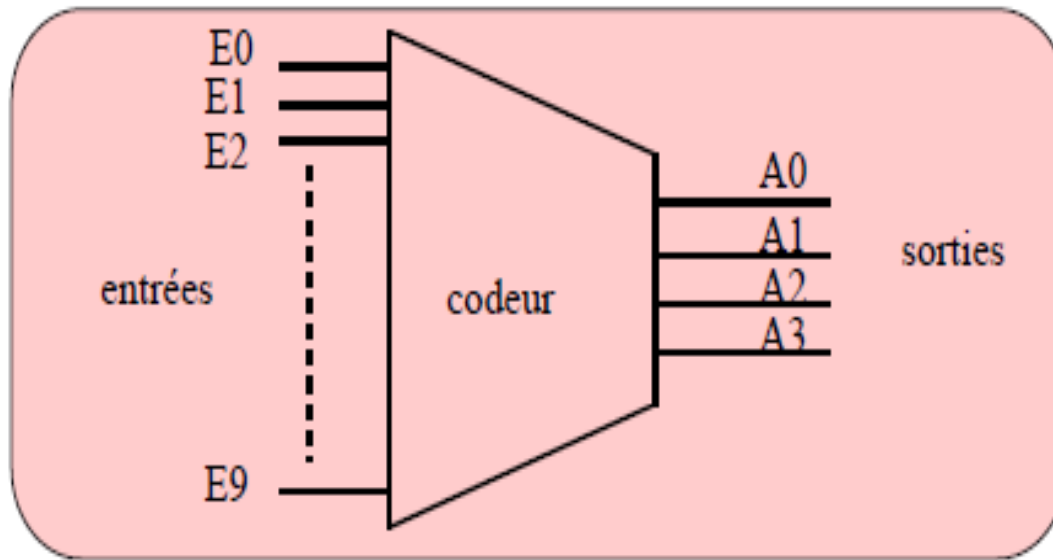
Equation des sorties :

- $S_1 = 1$ si $(A_2=1)$ ou $(A_3=1)$;
 $S_1 = A_2 + A_3$
- $S_0 = 1$ si $(A_1=1)$ ou $(A_3=1)$;
 $S_0 = A_1 + A_3$



Logigramme d'un Encodeur 4 vers 2.

Exemple : Encodeur décimal vers binaire (10 entrées vers 4 sorties).



Exemple :

Si $E_5 = 1$ et $E_i = 0$ pour toutes les autres entrées, alors les sorties affichent $(A_3, A_2, A_1, A_0) = (0, 1, 0, 1)$.

II - Encodeur de priorité

- Ce type de codeur fixe un ordre de priorité entre les entrées.
- On met sur les entrées un 1 (ou plus de 1) parmi des 0 et on obtient sur les sorties l'adresse de l'entrée à 1.
- La priorité ne sert que quand plusieurs entrées sont à 1 en même temps. Le circuit donne alors l'adresse de l'entrée dont le poids est le plus élevé. Il y a donc priorité aux entrées de rang le plus élevé.

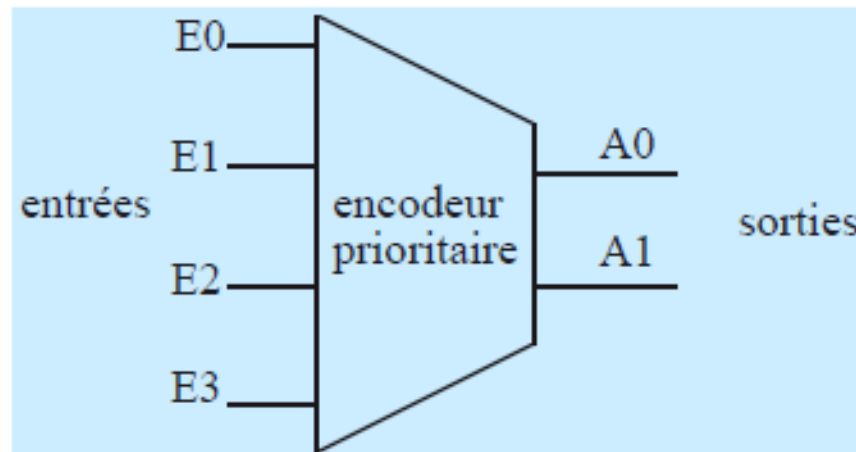


Table de vérité d'un encodeur de priorité 4 vers 2 :

E3	E2	E1	E0	A1	A0
1	X	X	X	1	1
0	1	X	X	1	0
0	0	1	X	0	1
0	0	0	1	0	0

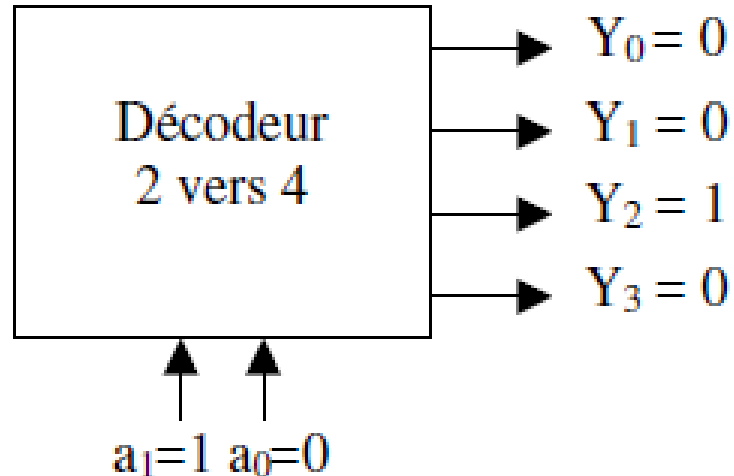
Table de vérité d'un encodeur de priorité 8 vers 3 ou Octal - binaire :

ENTREES (OCTAL)								SORTIES		
A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	S ₂	S ₁	S ₀
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	X	0	0	1
0	0	0	0	0	1	X	X	0	1	0
0	0	0	0	1	X	X	X	0	1	1
0	0	0	1	X	X	X	X	1	0	0
0	0	1	X	X	X	X	X	1	0	1
0	1	X	X	X	X	X	X	1	1	0
1	X	X	X	X	X	X	X	1	1	1

III – Circuits Décodeurs

Un Décodeur :

- Active une des X sorties selon un code.
 - Entrée sur n bits.
 - Nombre de sorties : 2^n .
 - Une seule sortie est mise à 1 selon la configuration des entrées.
- On trouve alors en sortie une seule qui est égale à 1 parmi des 0.



- On appelle aussi ce circuit un décodeur d'adresse utilisé pour adresser les différentes lignes d'une mémoire.

La table de vérité d'un Décodeur 2 vers 4 est la suivante :

A1	A0
0	0
0	1
1	0
1	1

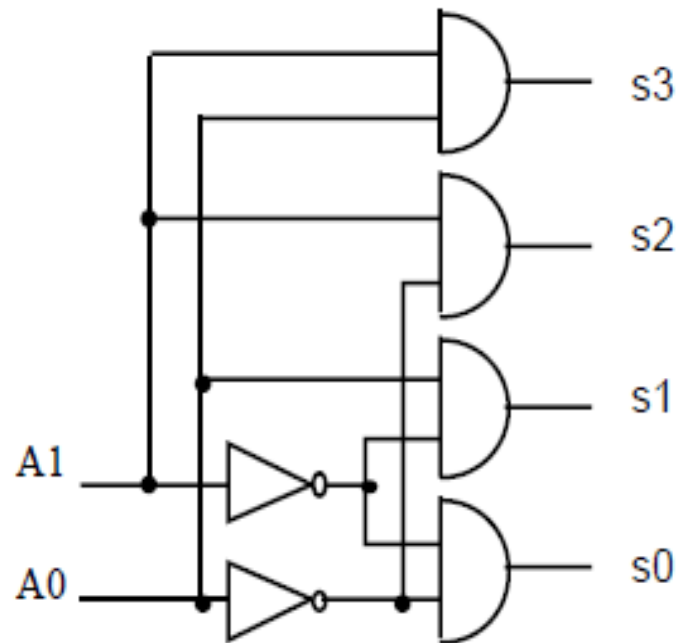
s3	s2	s1	s0
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0

$$s0 = \overline{A1} \cdot \overline{A0}$$

$$s1 = \overline{A1} \cdot A0$$

$$s2 = A1 \cdot \overline{A0}$$

$$s3 = A1 \cdot A0$$



Logigramme d'un Décodeur 2 vers 4.

■ Table de vérité et équations de sortie d'un Décodeur 3 vers 8 :

A	B	C		S0	S1	S2	S3	S4	S5	S6	S7
0	0	0		1	0	0	0	0	0	0	0
0	0	1		0	1	0	0	0	0	0	0
0	1	0		0	0	1	0	0	0	0	0
0	1	1		0	0	0	1	0	0	0	0
1	0	0		0	0	0	0	1	0	0	0
1	0	1		0	0	0	0	0	1	0	0
1	1	0		0	0	0	0	0	0	1	0
1	1	1		0	0	0	0	0	0	0	1

-

$$S_0 = \overline{A} . \overline{B} . \overline{C}$$

$$S_1 = \overline{A} . \overline{B} . C$$

$$S_2 = \overline{A} . B . \overline{C}$$

$$S_3 = \overline{A} . B . C$$

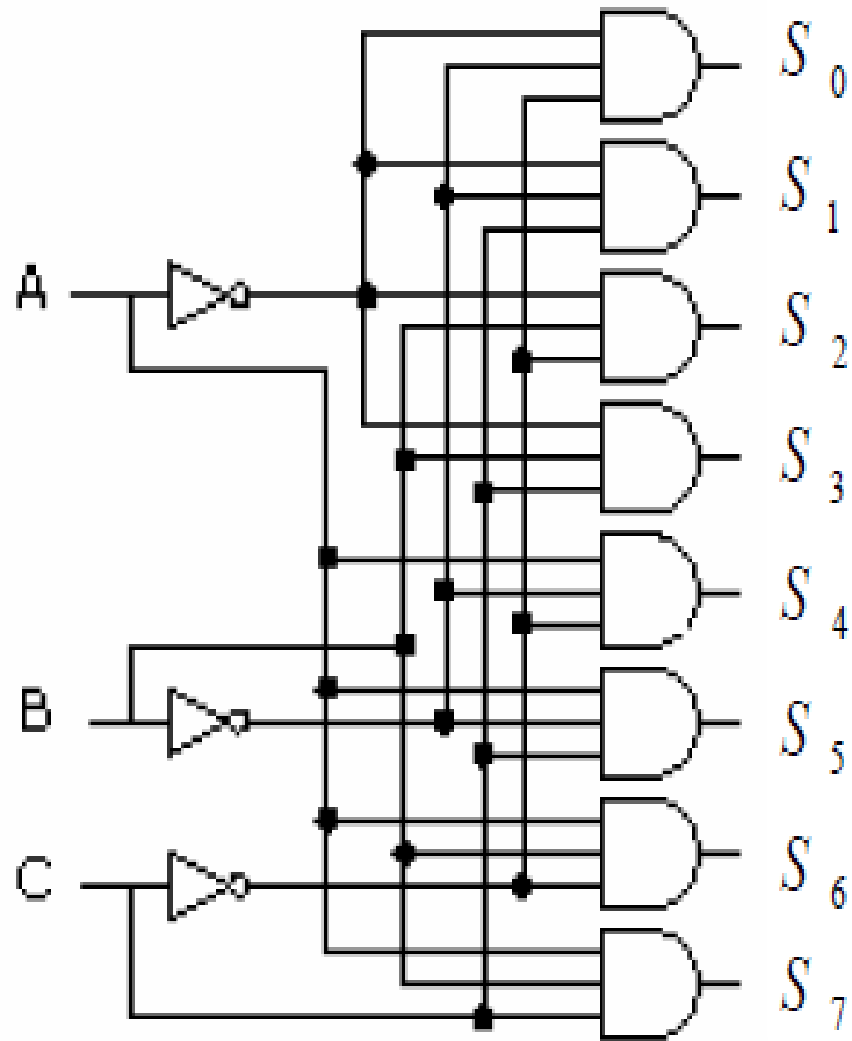
$$S_4 = A . \overline{B} . \overline{C}$$

$$S_5 = A . \overline{B} . C$$

$$S_6 = A . B . \overline{C}$$

$$S_7 = A . B . C$$

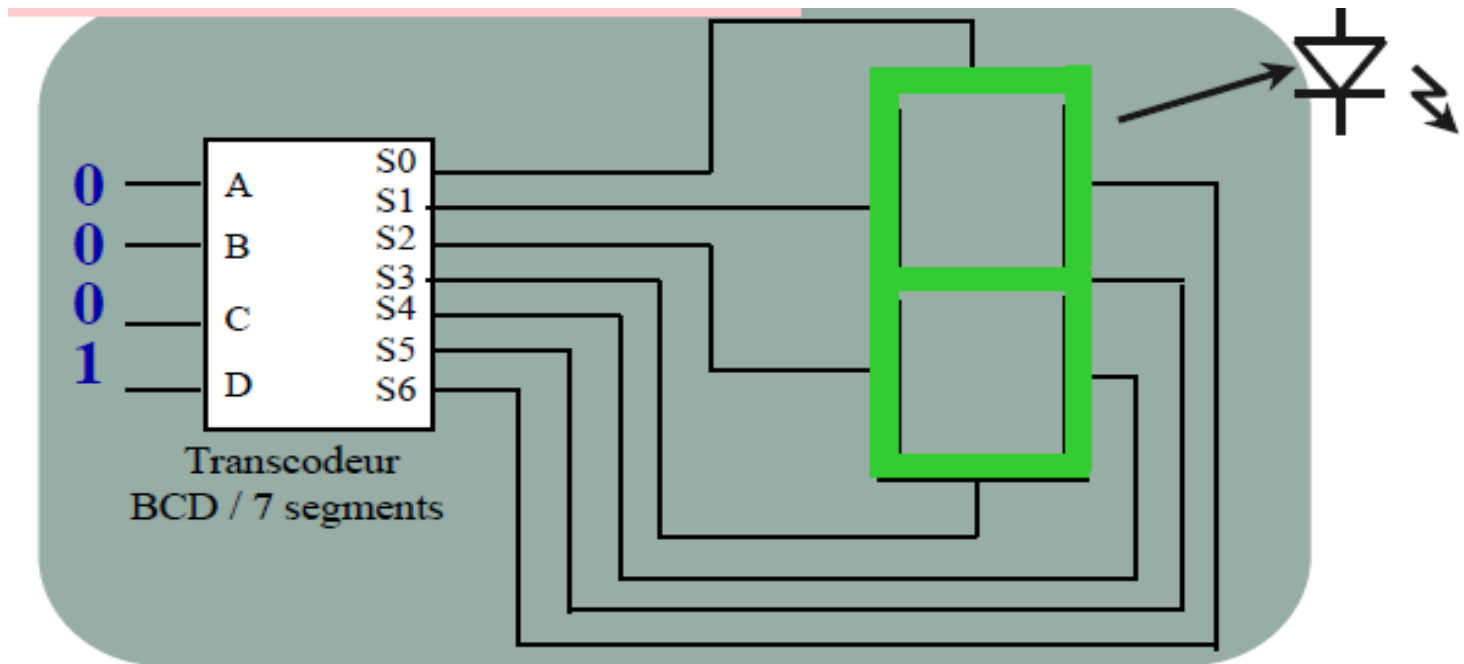
■ Logigramme d'un Décodeur 3 vers 8 :



IV - Transcodeur BCD/7 segments

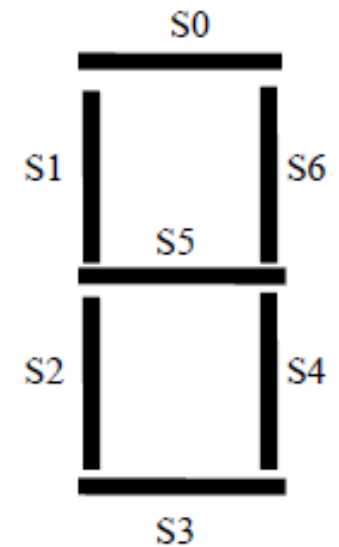
Il est souvent nécessaire de visualiser une information codée en binaire sur des afficheurs (7 segments) :

- => **Transcodeur BCD (Binary - Coded Decimal) / 7 segments.**
- => **Transcodeur binaire pur / 7 segments.**



La table de vérité d'un Transcodeur BCD / 7 segments, est la suivante :

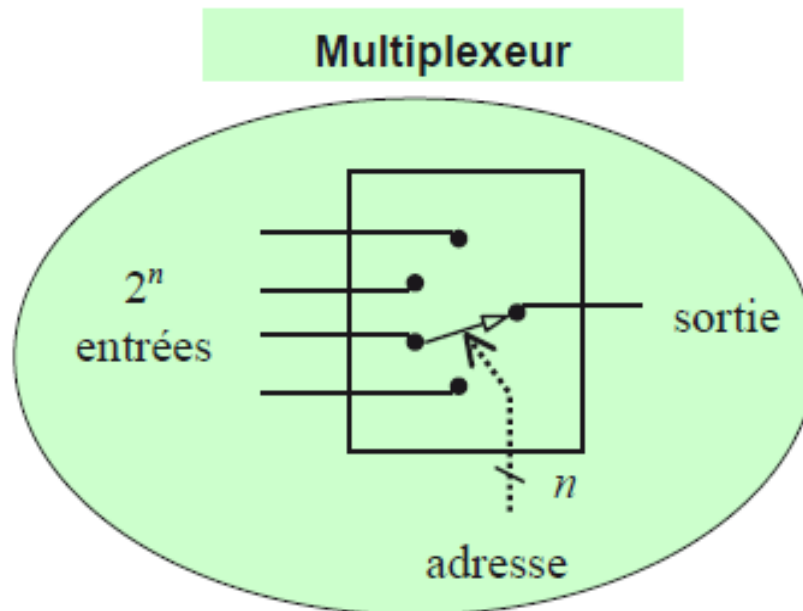
Code BCD				7 segments						
				S6	S5	S4	S3	S2	S1	S0
0	0	0	0	1	0	1	1	1	1	1
0	0	0	1	1	0	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	1	1	1	0	0	1	0
0	1	0	1	0	1	1	1	0	1	1
0	1	1	0	0	1	1	1	1	1	1
0	1	1	1	1	0	1	0	0	0	1
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1



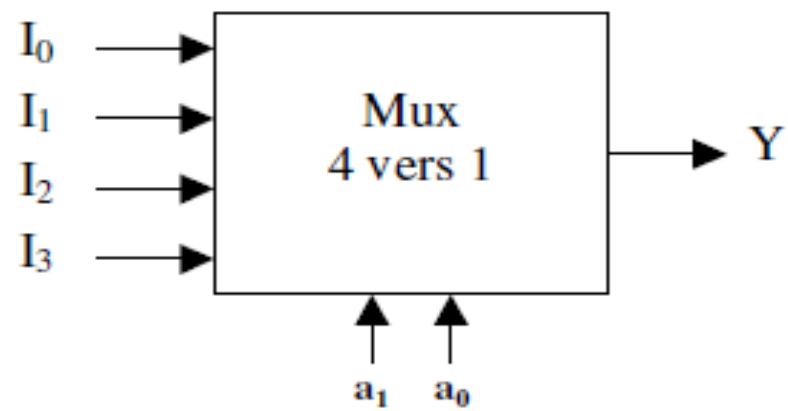
Afficheur à 7 segments

V – Circuits Multiplexeurs

- Un multiplexeur ou sélecteur de données **est un commutateur qui va pouvoir, à l'aide de (n) bits d'adresse, sélectionner une de ses (2^n) entrées et la mettre en communication avec la sortie.**
- La voie d'entrée, sélectionnée par son adresse, est reliée à la sortie.



Le schéma ci-dessous donne une image d'un multiplexeur 4 voies (I3 à I0) sélectables, vers une sortie (Y) à l'aide des bits d'adresse a1 et a0.



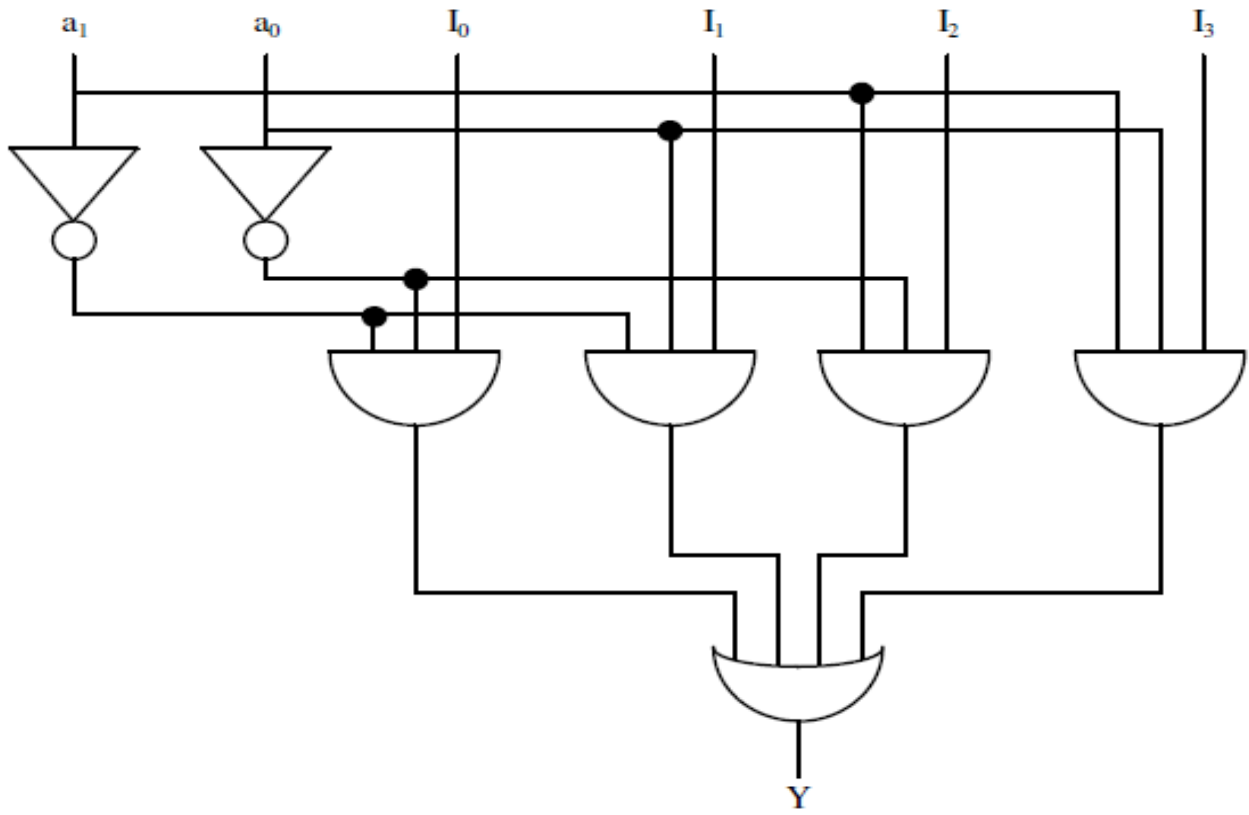
La table de vérité d'un multiplexeur 4 vers 1, est la suivante :

	a1	a0	Y
0	0	0	I0
1	0	1	I1
2	1	0	I2
3	1	1	I3

À partir de sa table de vérité, nous tirons son équation de sortie :

$$Y = I_0.\overline{a_1}.\overline{a_0} + I_1.\overline{a_1}.a_0 + I_2.a_1.\overline{a_0} + I_3.a_1.a_0$$

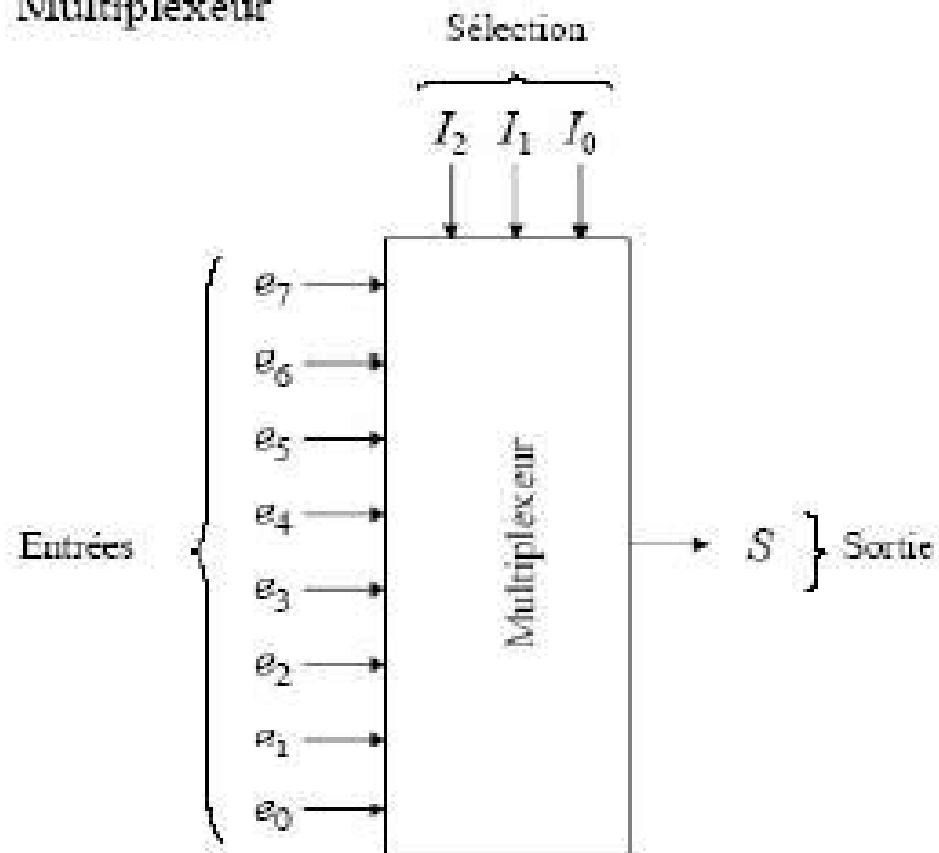
- Logigramme d'un multiplexeur 4 vers 1 :



- Un multiplexeur peut servir à réaliser des fonctions logiques quelconques.**
- La limitation de ce type de circuits,** est toujours le nombre d'entrées, qui croit fortement avec le nombre de variables d'adresse N.

- Multiplexeur 8 vers 1 :

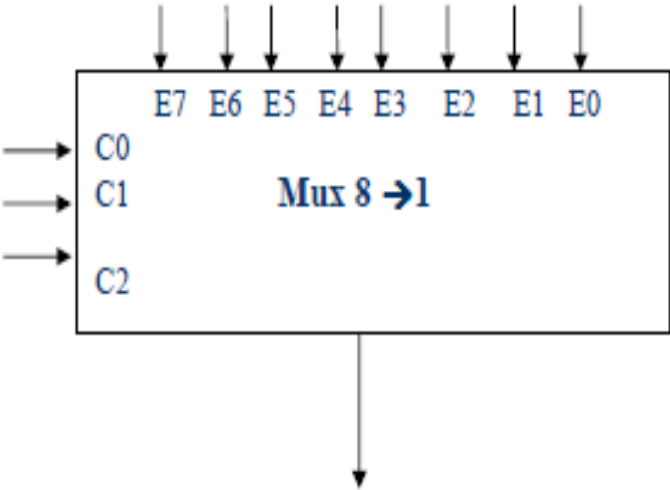
Multiplexeur



I_2	I_1	I_0	S
0	0	0	e_0
0	0	1	e_1
0	1	0	e_2
0	1	1	e_3
1	0	0	e_4
1	0	1	e_5
1	1	0	e_6
1	1	1	e_7

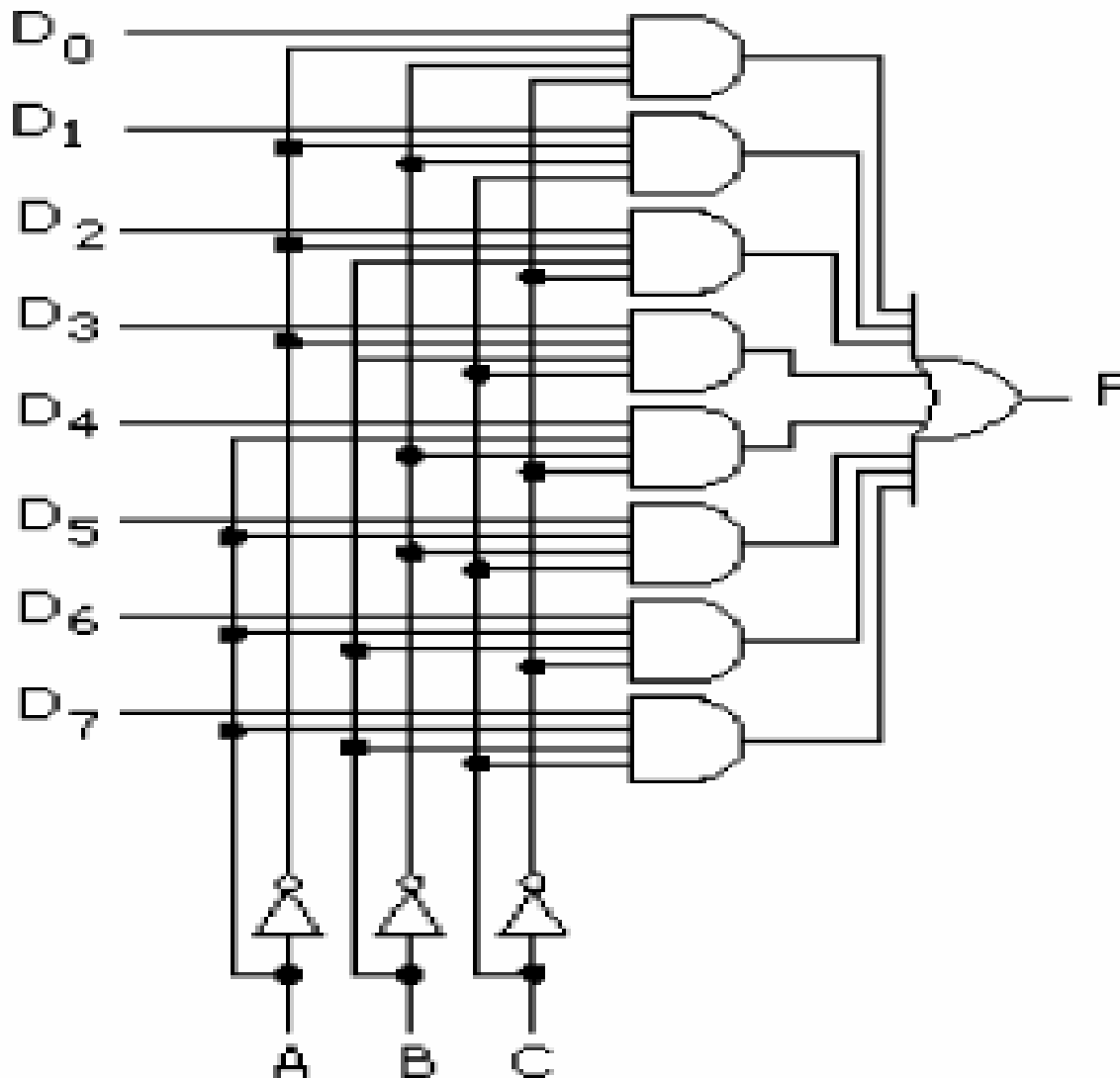
- Obtention de l'équation de sortie d'un Multiplexeur 8 vers 1 :

C2	C1	C0	S
0	0	0	E0
0	0	1	E1
0	1	0	E2
0	1	1	E3
1	0	0	E4
1	0	1	E5
1	1	0	E6
1	1	1	E7



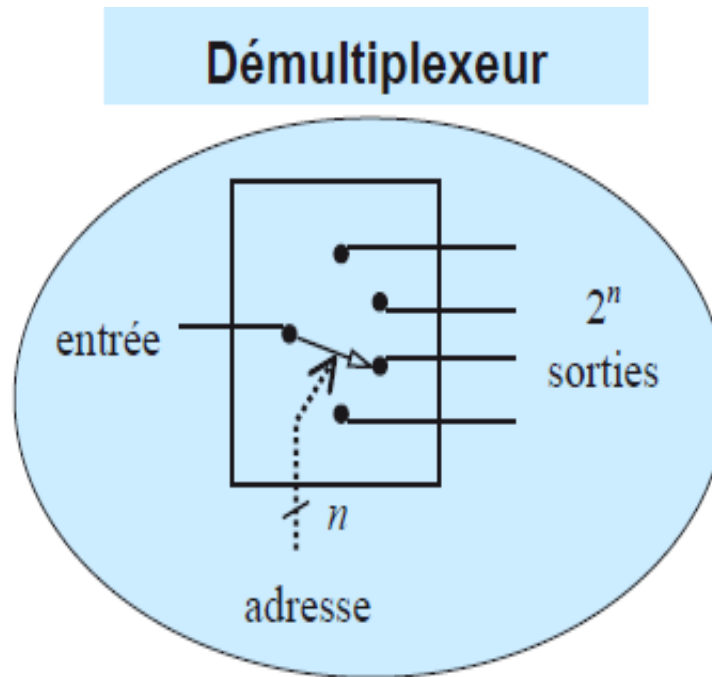
$$\begin{aligned}
 S = & \overline{C2}.\overline{C1}.\overline{C0}.(E0) + \overline{C2}.\overline{C1}.C0(E1) + \overline{C2}.C1.\overline{C0}(E2) + \overline{C2}.C1.C0(E3) + \\
 & C2.\overline{C1}.\overline{C0}(E4) + C2.\overline{C1}.C0(E5) + C2.C1.\overline{C0}(E6) + C2.C1.C0(E7)
 \end{aligned}$$

- Le logigramme d'un Multiplexeur 8 vers 1 :

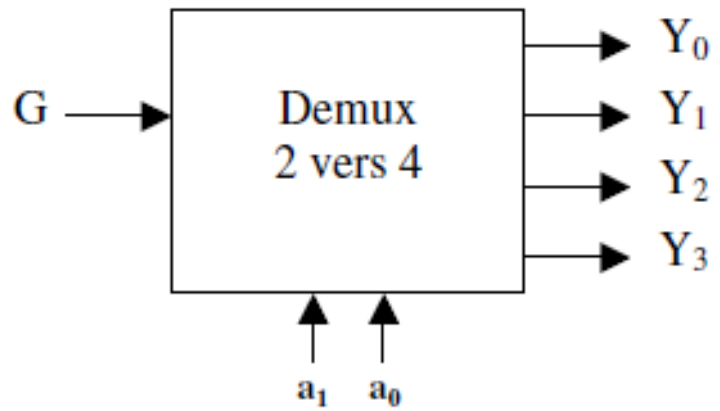


VI – Circuits Démultiplexeurs

- Le démultiplexeur est la fonction inverse du multiplexeur.
- C'est un circuit qui aiguille une entrée vers une sortie dont on donne l'adresse sous forme d'un nombre codé en binaire.



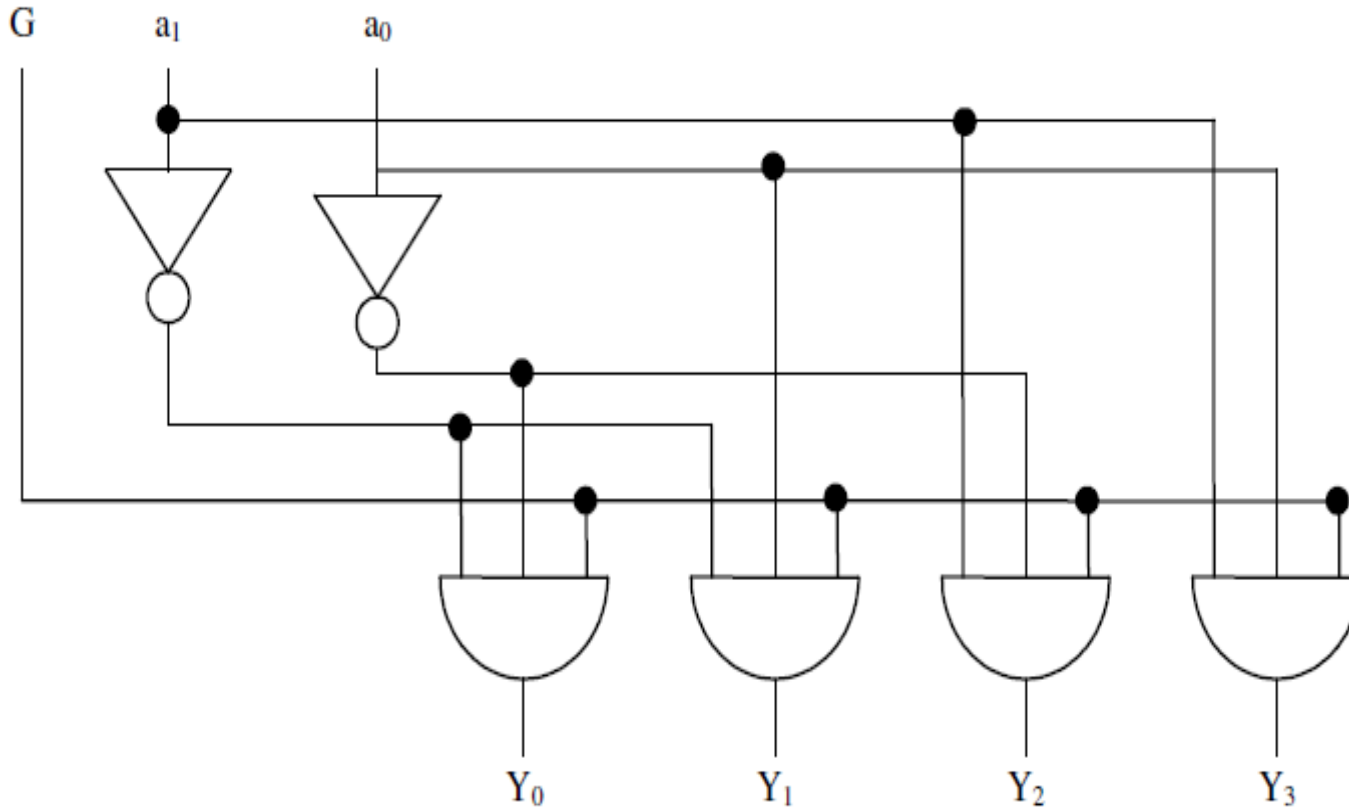
Le schéma ci-dessous donne une image d'un démultiplexeur à une entrée G orientable vers l'une de 4 sorties (Y3 à Y0) sélectables, à l'aide des 2 bits d'adresse a1 et a0.



La table de vérité d'un démultiplexeur 2 vers 4, est la suivante :

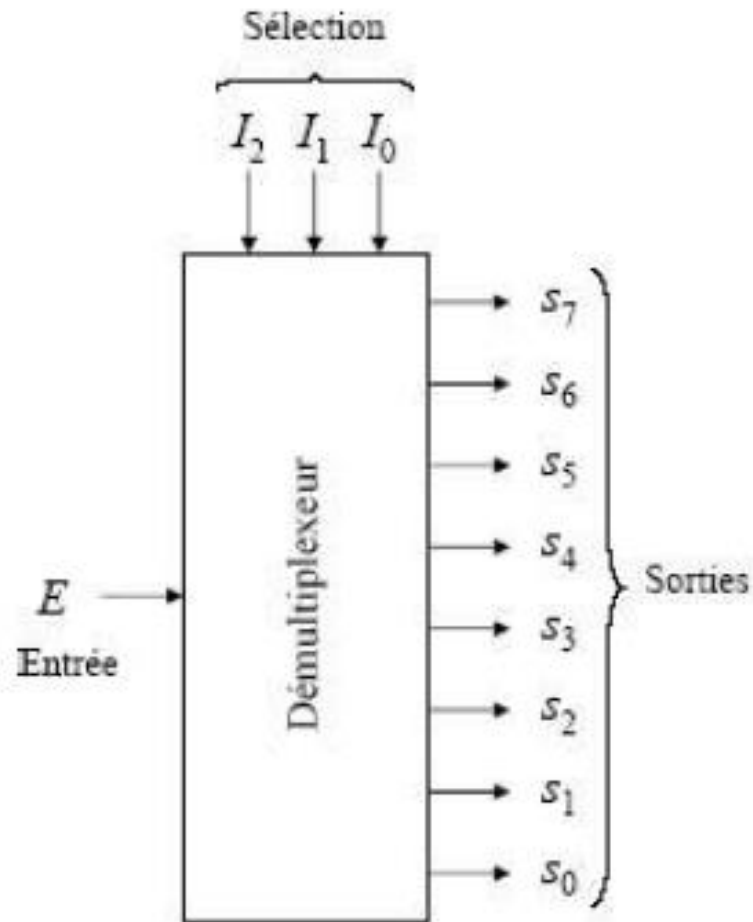
N	a1	a0	$Y_0 = \overline{a_0}.\overline{a_1}.G$	$Y_1 = a_0.\overline{a_1}.G$	$Y_2 = \overline{a_0}.a_1.G$	$Y_3 = a_0.a_1.G$
0	0	0	G	0	0	0
1	0	1	0	G	0	0
2	1	0	0	0	G	0
3	1	1	0	0	0	G

Logigramme d'un démultiplexeur 2 vers 4 :



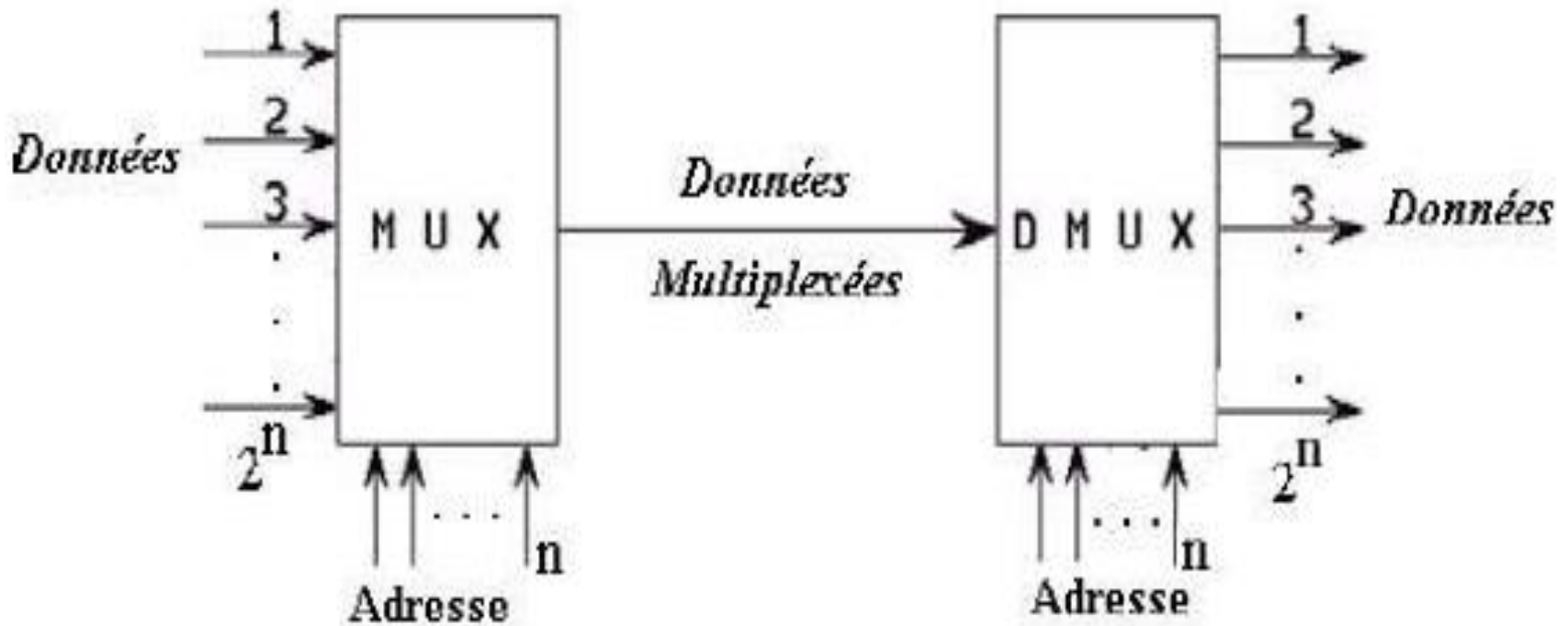
- **L'utilisation première des démultiplexeurs, est la conversion série/parallèle des données.**
- **Il peut aussi servir pour réaliser des fonctions combinatoires.**
- La limitation de ce type de circuit est le nombre de sorties qui croît fortement avec le nombre de variables d'adresse N .

■ Démultiplexeur 1 vers 8 :



I_2	I_1	I_0	s_7	s_6	s_5	s_4	s_3	s_2	s_1	s_0
0	0	0	0	0	0	0	0	0	0	E
0	0	1	0	0	0	0	0	0	E	0
0	1	0	0	0	0	0	0	E	0	0
0	1	1	0	0	0	0	E	0	0	0
1	0	0	0	0	0	E	0	0	0	0
1	0	1	0	0	E	0	0	0	0	0
1	1	0	0	E	0	0	0	0	0	0
1	1	1	E	0	0	0	0	0	0	0

- Combinaison Multiplexeur – Démultiplexeur :



Merci pour votre attention