

Dr. MD. SASS

Systèmes Logiques : Série d'exercices n°3Exercice 01 :

- Donner le schéma d'un additionneur des mots à 5 bits.
- Donner le schéma d'un soustracteur des mots à 3 bits, fait à partir des soustracteurs complets et des demi-soustracteurs.
- Donner le schéma d'un soustracteur des mots à 4 bits, fait à partir d'un additionneur.
- Justifier ce dernier choix de réalisation des soustracteurs.

Exercice 02 :

Proposer un circuit capable de faire une opération d'addition et une opération de soustraction selon la valeur d'une variable qu'on appelle sélection. Si sélection = 0, le circuit fait de l'addition deux mots binaires de 4 bits chacun et si sélection = 1, le circuit fait de la soustraction de ces deux mots.

Exercice 03 : Opération d'addition et Génération de la retenue.

Nous appelons un code binaire Positif et on le symbolise P, lorsque son bit du poids plus fort (bit à gauche du code) est égal à 0.

Nous appelons un code binaire Négatif et on le symbolise N, lorsque son bit du poids plus fort (bit à gauche du code) est égal à 1.

Remplir la table suivante avec la retenue C trouvée pour toutes les différentes possibilités d'une opération d'addition entre deux mots binaires de 5 bits chacun.

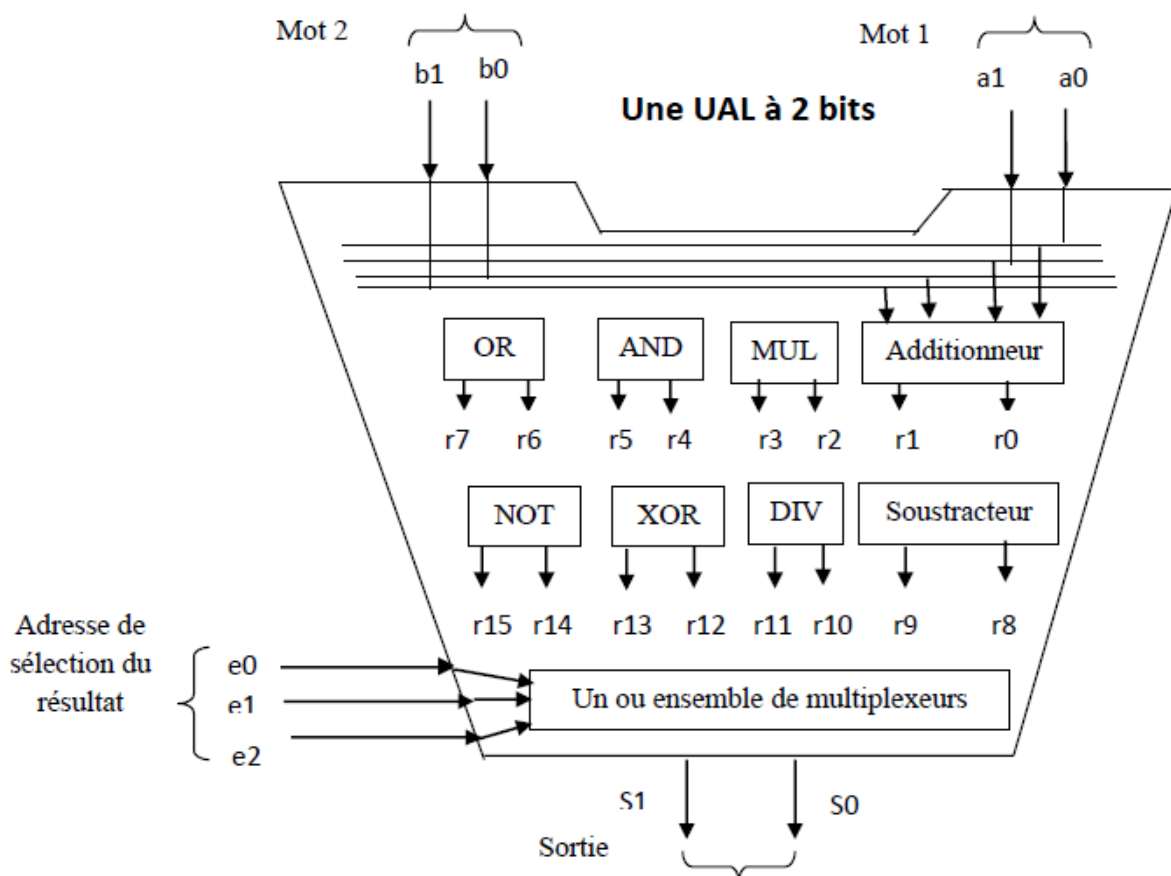
Opération d'addition	Résultat	La Retenue C
P + P	P	----
P + P	N	----
P + N	P	----
P + N	N	----
N + N	P	----
N + N	N	----

Exemple : P + P : 01011 + 00111. N + N : 10001 + 10111.

Exercice 04 : Multiplexeurs et Conception d'une UAL

Supposons que nous avons conçu une Unité Arithmétique et Logique qui regroupe des circuits logiques pour faire les 8 opérations arithmétiques et logiques suivantes :

- Un additionneur à deux bits.
- Un soustracteur à deux bits.
- Un Multiplieur à deux bits.
- Un Diviseur à deux bits.
- Un circuit qui peut faire AND entre deux mots à deux bits chacun (Pour faire opération logique AND par exemple, entre deux mots à deux bits chacun : a_1a_0 et b_1b_0 , le résultat est le mot C_1C_0 tel que : $C_0 = a_0 \text{ AND } b_0$ et $C_1 = a_1 \text{ AND } b_1$).
- Un circuit qui peut faire OR entre deux mots à deux bits chacun.
- Un circuit qui peut faire XOR entre deux mots à deux bits chacun.
- Un circuit qui peut faire NOT entre deux mots à deux bits chacun.



- Tous les circuits d'opérations ont comme entrées les deux mots (a_0, a_1) et (b_0, b_1), exactement comme montré dans la figure ci-dessus, pour l'opération d'addition.
- Admettons que chaque circuit d'opération a seulement deux bits de sorties.

Ce qu'on cherche :

Nous voulons ajouter un ou des multiplexeurs pour pouvoir sélectionner l'une des opérations cités comme monté dans la figure ci-dessus.

Questions :

- Recopier l'UAL de la figure en dessus et Dessiner clairement une schématisation dans laquelle, il faut :
 - Montrer le ou les multiplexeurs que vous proposez pour remplir correctement la mission demandée.
 - Relier les entrées de ou des Multiplexeurs aux différentes sorties des circuits d'opérations.
 - Relier les sorties S_0 et S_1 de l'UAL aux sorties de ou des multiplexeurs.
- Proposer un code ou adresse de sélection (e_0, e_1 et e_2) pour chacune d'opérations existantes.